

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[JAPANESE](#)

1 / 1

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-234505

(43)Date of publication of application : 22.08.2003

(51)Int.Cl.

H01L 33/00

(21)Application number : 2003-020946 (71)Applicant : OSRAM OPTO  
SEMICONDUCTORS GMBH  
(22)Date of filing : 29.01.2003 (72)Inventor : BRUDERL GEORG  
BAUR JOHANNES

(30)Priority

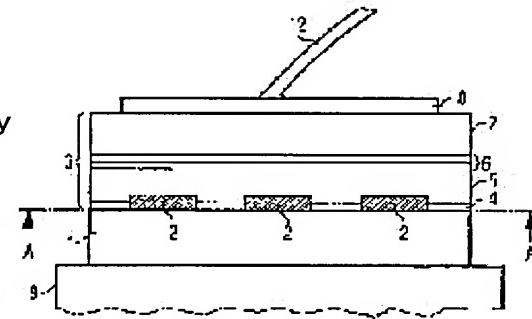
Priority number : 2002 10203801 Priority date : 31.01.2002 Priority country : DE

### (54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

#### (57)Abstract:

**PROBLEM TO BE SOLVED:** To develop a semiconductor device that is equipped with a transition section having an electric series resistance as small as possible between a semiconductor body and a substrate.

**SOLUTION:** In the semiconductor device, a conductive substrate (1) and a semiconductor body (3) are provided, and the semiconductor body (3) has at least one nitride-compound semiconductor and at the same time is arranged on the surface of the substrate (1). In this case, a conductive mask layer (2) having a specific mask structure for reducing the series resistance in the semiconductor device is arranged between the substrate (1) and the semiconductor body (3), and the surface of the substrate (1) is partially covered with the mask layer.



### LEGAL STATUS

[Date of request for examination] 29.01.2003

[Date of sending the examiner's decision of rejection] 22.09.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (JP) (2) 公開特許公報 (A)  
 請求項1】導電性基板(1)と、半導体ボディ(3)を備え、前記の半導体ボディ(3)は少なくとも1つの電気物一化合物半導体を有し、かつ前記の半導体ボディ(3)は基板(1)の表面に配置されている半導体デバイスにおいて、基板(1)と半導体ボディ(3)は電気物一化合物半導体デバイス(4)と、半導体ボディ(3)と半導体デバイス(4)はInGaNを有する、請求項13記載の半導体デバイス。

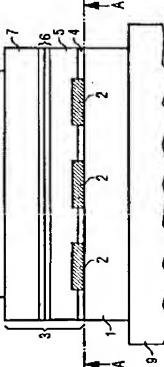
(51) Int.Cl.' H01L 33/00  
 (43) 公開日 平成15年8月22日 (2003.8.22)  
 F1  
 H01L 33/00  
 テクノドリーム  
 E 5 F 0 4 1  
 C

審査請求 有 請求項の範囲22 OI (全7頁)  
 (2) 出願番号 特願2003-20946 (P2003-20946)  
 (71) 出願人 オスマム オプト セミコンダクターズ  
 ケセラジャフト ミット ベシュレンケル ハワーン  
 Opto Semiconductors GmbH  
 ドイツ連邦共和国 レーベンスブルク ヴ  
 エルバーベルクシュトラーセ 2  
 (74) 代理人 100061815  
 井理士 矢野 敏雄 (外4名)

見付箇所に近く  
 (54) [54] 見付箇所 半導体デバイス及びその製造方法  
 (55) 【要約】半導体ボディと基板との間の可能な限り遮か  
 な電気遮断抵抗を有する移行部を備えた半導体デバイス  
 を開発すること。

#### 【解決手段】

【課題】導電性基板(1)と、半導体ボディ(3)は少なくとも1つの電気物一化合物半導体を有し、かつ前記の半導体ボディ(3)は基板(1)の表面に配置されている半導体デバイスにおいて、基板(1)と半導体ボディ(3)との間に、半導体デバイスの直列抵抗を減少させ  
 るための所定のマスク構造を有する導電性のマスク層  
 (2)が配置されており、このマスク層は基板(1)の表面を部分的に覆つておることを特徴とする、半導体デバイス。



の旨(5)、活性区域(6)及びInGaNを有するp型導電性の層(7)を有する、請求項1から19までのいずれか1項記載の半導体デバイス。  
 【請求項1-4】活性区域(6)はInGaNを有する、請求項13記載の半導体デバイス(4)と、半導体ボディ(3)と半導体デバイス(4)を備え、前記の半導体ボディ(3)は電気物一化合物半導体を有し、かつ前記の半導体ボディ(3)は基板(1)の表面に配置されている半導体デバイス(4)において、  
 (3)との間に、半導体デバイスの直列抵抗を減少させるための所定のマスク構造を有する導電性のマスク層(2)が配置されており、このマスク層は基板(1)の表面を部分的に覆つておることを特徴とする、半導体デバイス。

【請求項1-5】基板(1)と、半導体ボディ(3)と半導体デバイス(4)において、基板(1)の表面に配置される半導体デバイス(4)を備する、前記の半導体ボディ(3)は電気物一化合物半導体を有し、かつ前記の半導体ボディ(3)は基板(1)の表面に配置されている半導体デバイス(4)において、  
 (1)の表面に配置される半導体デバイス(4)を有する工程、  
 a) 基板(1)を準備する工程、  
 b) 海電性マスク層(2)を基板(1)面上に形成し、底板表面がマスク層(2)により部分的に覆われるよう  
 に定めたマスク構造部を形成させる工程、及び  
 5)を設置する工程。

【請求項1-6】工程c)において、半導体層(4)を特徴とする半導体デバイスの製造方法。  
 【請求項1-7】半導体層(4)が金属、金属合金又は金  
 属化合物を有する、請求項1から3までのいずれか1項  
 記載の半導体デバイス。  
 【請求項1-8】マスク層(2)が金、銀又は2記載の半導体  
 層(4, 5)を主にマスク層(2)により被覆されてい  
 ない領域で成長させる、請求項1-5記載の方法。  
 【請求項1-9】半導体層(4, 5)の成長の間に、マ  
 スク層(2)がエピタキシャル成長させ、成長の開始時に半導  
 体層(4)を半導体層(5)により被覆されてい  
 ない領域で成長させる、請求項1-5記載の方法。  
 【請求項1-10】マスク層(2)はニッケル、モリブデ  
 ヌ、アルミニウム及び/又は族化シリコニウム、特にn  
 型導電性族化シリコニウムを有する、請求項4記載の半  
 導体デバイス。

【請求項1-11】基板(1)のマスク層(2)で覆われ  
 ていない領域及びマスク層(2)は少なくとも部分的に  
 半導体ボディ(3)で覆われている、請求項1から5ま  
 でのいずれか1項記載の半導体デバイス。

【請求項1-12】電気物一化合物半導体は、第3及び/又  
 は第5主族の元素の窒化物一化合物である、請求項1か  
 ら6までのいずれか1項記載の半導体デバイス。

【請求項1-13】半導体層(4)を、低めた温度で、特に  
 95.0°C以下の温度で成長させる、請求項20記載の方  
 法。

【請求項1-14】半導体層(4)はAlN又はAlGaN  
 を有する、請求項20又は21記載の方法。

【発明の詳細な説明】

【0001】【発明の属する技術分野】本発明は、請求項1の上位概  
 念に記載の半導体デバイスの製造方法に関する

【0002】【従来の技術】この種の半導体デバイスは、基板と、空  
 化物一化合物半導体を有する半導体デバイスと有し、こ  
 の半導体デバイスは基板の表面に配置されている。コン  
 タクトの配置に関して、前に示す構造が有利であ  
 り、二の場合、動作電流は半導体デバイス及び基板を通



(5) 持体9上に固定され、この支持体9は導電性であるか又は基板1のマウンティング側で相応する導電性の構造を有する。この支持体9とは反対側で、半導体がディ3にはコントラクト面が設けられており、このコントラクト面8にたとえばワイヤボンディング12が接続することができる。

[0030] 図2a～2eには、本発明による製造方法の実施例が、5つの中间工程を用いて図式的に示されている。

[0031] 第1の段階、図2aでは、基板1、たとえ S-iC基板上に、導電性の一貫した層2aが設置されおり、この層から次にマスク層を形成する。この層はニッケル層であるか又はすでに前記した他の金属又は金属化合物からなる層であることができる。金属層の厚さは有利に10 nm～100 nmである。

[0032] この層2aの設置のために、慣用のスパッタ法又は蒸着法が適している。

[0033] 次の工程、図2bでは、半導体がディスファオトリングラフイー法を用いて焼成され、基板1上に開口11を備えたマスク層2が生じ、この場合、開口11の範囲内に基板1の表面が露出する。

[0034] 第3の工程、図2cでは、半導体がディス半導体がディの少なくとも1つの半導体層5が設置される。この層5は基板1上に直接エビタキシャル成長されれるか又は焼成せられた段階層4上に成長させる。この層5により絶縁層4は、この場合まず、基板1の、マスク層2により覆われない領域にだけ成長し、つまりこのマスク層2はまでは覆われない。

[0035] 両方の場合に、氧化物ベースの半導体材料、たとえばA1GaNを基板上に設置するのが有利である。このような半導体基板5のエビタキシャル堆積の場合は、基板1上に絶縁性のAlN成膜が形成することができる。格子定数の整合のための焼成層4の設置は、一般にAlN含有量の高い層の堆積を必要とし、この層は同様に優れた導電性を有する。先行技術によるデバイスの場合は、しあしながら、本発明の場合には直列低抵抗のこののような上昇はマスク層2の導電性によく補償される、それというのもマスク層2は半導体がディと基板との間の導電性の悪い層に隔離するためである。

[0036] マスク層2はこの半導体層5により覆われ、エビタキシャル層はマスク層2を複数個設置する。この層は、最終的に半導体層5内に完全に埋め込まれる。エビタキシャル層はマスク層2を複数個設置する。この層は品質を有し、かつ特に低い欠陥密度を有する。この層の被覆層5は、ELOG法(Epitaxial Lateral Over Growth)として公知でもある。この半導体層5の成長

は、一體的に閉じた半導体表面10がマスク層2の上方に生じるまで行われる(図2e)。

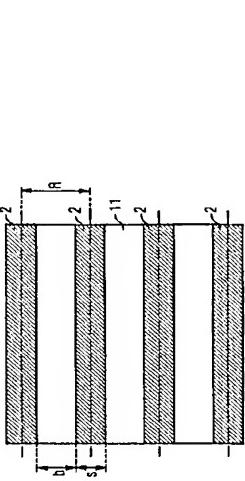
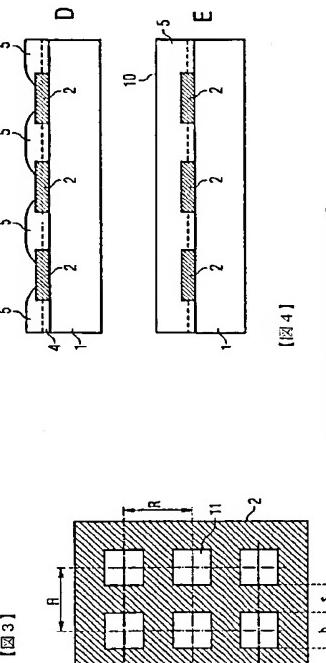
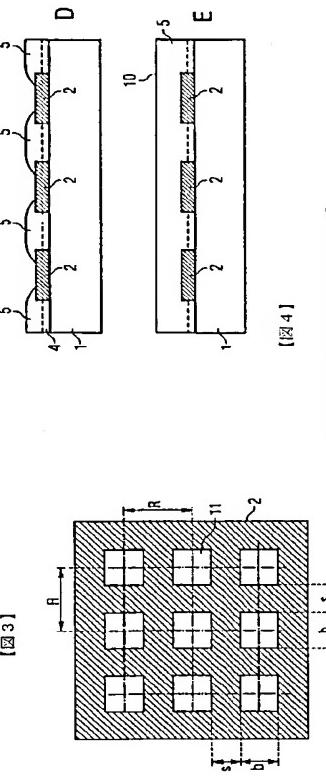
[0037] 基板と接続する半導体層5もしくは焼成層4は、従来の成長プロセスにおいて形成される層に対する一般的な成長温度よりも低い、低められた温度で成長させるのが有利である。相応の温度は当業者に公知であるかもしくは開通する文献から推察できる。たとえば、A1GaN層は通常1050°Cの温度で成長せざる。それに対して、本発明の場合には950°Cの温度にて低下させ、マスク層2及び基板1の材料から不純物なし化合物が生じることを回避する。特に、ニッケルを含有するマスク層の場合に、液相のケイ化ニッケルが形成される危険が生じ、これは次の層の引き継ぐ堆積を阻害してしまう。

[0038] 図3において、本発明の第2の実施例の図式的な断面図を表す。この断面は、図1に対応するデバイスA-A線に沿っており、マスク層2のラテラルな構造を示す。

[0039] このマスク層2は、複数の相互に垂直に交差するストライプを形成し、このストライプの間に複数の長方形又は正方形の開口11が形成されている。この開口は、基板の、マスク層2により覆われていない領域に相当し、この開口中に半導体層5もしくは焼成層4をまず成長させる。ストライプ層s及び開口11の幅bは有利に0.5～5.0 μm、特に有利に1 μm～20 μmである。この寸法もしくはラスター基準(Rastermass)R=s+bである。この場合必要に応じて適合させざることができる。たとえばストライプ層s約2 μm及びラスター基準R約5 μmの長方形状の格子は、デバイス中に電流が均一に流れるという利点を有する。同じストライプ幅sでラスター基準Rを高める、たとえば7 μmに高めた場合に、閉じた半導体層の構造のために必要な層厚は低下し、それに伴う製造コストも低減する。より大きなラスター基準、たとえば12 μmの場合にも、半導体層中の電流密度の有利な減少が生じる。

[0040] また、図4に示されているような、マスクのストライプ状の構造も可能である。図3で示した実施態様と比べて、この半導体層5はこの場合には直角な数の離れた断面5が相互に接合する。それに伴う体的に閉じた半導体層が形成するまでに必要な層厚を減少させる。ストライプ幅s、開口幅bもしくはラスター基準R=s+bについて、図3に示した実施例と同じ領域の数値が適用し、その際、一般にストライプ状の構造の場合に電流の流れの均一性は、必要なより薄い層厚及びより僅かな底面凹凸が生じるように調整される。

[0041] この実施例を用いて本発明を説明するが、もちろん、この実施例は本発明を限定するものではない。



フロントページの続き

(72)発明者 グオルク ブリューデル  
ドイツ連邦共和国 ブルクレンゲンフェル  
ト アカツイエンヴェーク 19

(73)明細書  
ヨハネス バウル  
ドイツ連邦共和国 ドイエルリンク アム  
ハスラッハ 9  
Fターム(参考) 5F041 AA03 AA24 CA33 CA40 CA83  
CA93